





BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:  
— 國際調査報告書

## 明細書

## 半導体装置の製造方法

## 技術分野

[0001] 本発明は半導体装置の製造方法に関し、特に、リーク電流を抑制した浅い接合(shallow junction)を形成する方法に関する。

## 背景技術

[0002] 近年、半導体集積回路装置の高集積化、高機能化及び高速化に伴って、トランジスタにおけるショートチャネル効果が大きな問題となってきている。ここで、ショートチャネル効果を解消する技術の1つとしては、極めて浅いpn接合を有するドレインエクステンションを用いる方法が知られている。

[0003] 例えばゲート電極の寸法が65nmのトランジスタでは、ドレインエクステンションのpn接合の深さは約13nmとするのが良いと言われている。これを実現するためには、サーマルバジエット時間を数ミリ秒に抑えるフラッシュランプアニール技術及びレーザーアニール技術が検討されている。

[0004] しかしながら、このような短時間熱処理技術においては、熱処理時間が極めて短いために、半導体装置上のパターンの影響を受けて不純物の活性化率にバラツキが生じる。この結果、トランジスタ特性にバラツキが出るという短所を有している。この短所は、さまざまなパターンを有するシステムLSIの量産においては致命的な欠点になりうる。

[0005] そこで、不純物の活性化のみが起こり且つ拡散が起こらない温度である例えば500°C以上で且つ800°C以下の温度範囲において数分間の熱処理を行なう技術が提案されている。これは低温SPE(Solid Phase Epitaxy)技術と呼ばれる。

[0006] 以下、従来技術である低温SPE技術について、Pチャネルトランジスタの形成を例に取り、図面を参照して説明する。

[0007] 図6(a)～(c)及び図7(a)、(b)は、低温SPE技術を用いたPチャネルトランジスタの形成工程を模式的に示す断面図である。

[0008] まず、図6(a)に示すように、シリコン基板10上にゲート絶縁膜11を介してゲート電

極12を形成する。次に、シリコン基板10におけるゲート電極12両側の領域に、注入エネルギー数KeV～数10keVの条件でゲルマニュウム又はシリコンをイオン注入し、アモルファス層13を形成する。この際、アモルファス層13とアモルファス層13下部の結晶構造を持つシリコン基板10との界面付近に欠陥14が生じる。

- [0009] 次に、図6(b)に示すように、アモルファス層13にドーパントとなるボロンを注入エネルギー1keV以下でイオン注入することによって、ドレインエクステンション15を形成する。
- [0010] 次に、図6(c)に示すように、シリコン基板10におけるゲート電極12両側の領域に、砒素又はアンチモンを基板面の法線に対して例えば25度の角度でイオン注入し、ホール領域16を形成する。
- [0011] 続いて、図7(a)に示すように、ゲート電極12の両側にサイドウォール17を形成する。この後、シリコン基板10におけるゲート電極12及びサイドウォール17の両側領域に、ボロンを注入エネルギー数keVでイオン注入することによって、コンタクトドレイン18を形成する。
- [0012] 最後に、図7(b)に示すように、500°C以上で且つ800°C以下の温度において、数分間の熱処理を行なう。これによって、アモルファス層13は結晶構造を回復し、シリコン基板10の中にアモルファスである領域は存在しなくなる。但し、欠陥14は、アモルファス層13とシリコン基板10との界面であった領域に残る。
- [0013] 以上のようにすると、ドレインエクステンション15形成用のドーパントとして注入されたボロンは、アモルファス層13内部において、アモルファス層13が結晶構造を回復する過程中に、拡散を伴わない急激な活性化を起す。これによって、浅いpn接合が形成できる。この技術によって形成されるpn接合の深さは、イオン注入直後に形成された不純物プロファイルによって、ほぼ決定される。
- [0014] ところで、アモルファス層13は、ドレインエクステンション15のpn接合の深さよりも深い位置まで形成する。このためには、アモルファス層13形成のためにゲルマニュウム又はシリコンをシリコン基板10に注入する際の注入エネルギーを、ドレインエクステンション15形成のために注入されるボロンのプロファイルがアモルファス層13内に全て納まるように設定する。

[0015] このようにして、pn接合深さが20nm未満であるドレインエクステンション15を形成する。熱処理の時間が数分間と長いため、パターン依存性の極めて低いドレインエクステンション15となる。パターン依存性とは、ウェハ面内(1チップ内)において、形成されているパターンの影響によって不純物の活性化率等がばらつくことを意味する。具体的には、例えば、ポリシリコンからなるゲート電極がウェハ内における全ての位置で均一には分布していない場合に、該分布の粗密差によって不純物の活性化率がばらつくことを意味する。

非特許文献1:ジョン・O・ボーランド(John O. Borland)、Low Temperature Activation of Ion Implanted Dopants、Extended Abstracts of International Workshop on Junction Technology 2002、応用物理学会(Japan Society of Applied Physics)、2002年12月、p.85-88

## 発明の開示

### 発明が解決しようとする課題

[0016] しかしながら、前記の低温SPE技術においては次のような問題が生じる。つまり、アモルファス層の深さが15nm～30nm付近となるため、イオン導入時にアモルファス層と結晶(シリコン基板)層との界面に発生する欠陥が、ハロー領域のpn接合の位置やドレインエクステンションのpn接合の位置に極めて近い位置に存在することになってしまう。この結果、低温SPE技術を用いて製造した従来の半導体集積回路装置では、接合リーク電流が、フラッシュランプアニール又はレーザーアニールを使用して製造された半導体集積回路装置に比べて大幅に増加すると言う問題が生じる。

[0017] 前記に鑑み、本発明は、低温SPE技術を用い、接合リーク電流を抑制すると共にパターン依存性を抑制した半導体装置の製造方法を提供することを目的とする。

### 課題を解決するための手段

[0018] 前記の目的を達成するために、本願発明者は、次のようにして接合リーク電流を抑制する方法を着想するに至った。つまり、アモルファス層形成の際にアモルファス層と結晶領域との界面付近に発生する欠陥の位置を、半導体装置の各pn接合の深さに応じて設定する。これにより、アモルファス・結晶界面に発生する欠陥とトランジスタ等で必須の各pn接合の位置とを分離し、接合リーク電流を抑制する。このような方法

である。

[0019] 具体的には、本発明に係る第1の半導体装置の製造方法は、半導体領域におけるその表面から第1の深さまでの領域にアモルファス層を形成する工程と、アモルファス層に対して所定の温度において熱処理を行なうことにより、アモルファス層のうち、第1の深さから第1の深さよりも浅い第2の深さまでの領域について結晶構造を回復させ、それによってアモルファス層を第2の深さまで後退させる工程と、熱処理が行なわれたアモルファス層にイオンを導入することにより、第2の深さよりも浅い第3の深さにpn接合を形成する工程とを備えている。

[0020] 第1の半導体装置の製造方法によると、イオンを導入する際のアモルファス層の厚さとアモルファス層形成の際に発生する欠陥の位置とを別個に分離して設定できる。以下に更に詳しく説明する。

[0021] 半導体領域にアモルファス層を形成する際、アモルファス層と半導体領域のうちの結晶構造を持つ領域との界面(以下、アモルファス・結晶界面と呼ぶ)付近に結晶の欠陥が発生する。第1の半導体装置の製造方法においては、アモルファス層は半導体領域の表面から第1の深さまでの領域に形成されるから、アモルファス・結晶界面は第1の深さに存在し、前記欠陥も第1の深さ付近に存在する。ここで、アモルファス層に対して熱処理を行なうことにより、第1の深さから第1の深さよりも浅い第2の深さまでの領域について結晶構造を回復させると、半導体領域の表面から第2の深さまでの領域がアモルファス層となる。この結果、熱処理後のアモルファス・結晶界面は第2の深さに存在することになる。以上のようにして、アモルファス層の厚さ(アモルファス・結晶界面の存在する第2の深さ)と、欠陥の存在する位置(第1の深さ)とを別個に分離して設定できる。また、その後、アモルファス層に対するイオン導入により、第2の深さよりも浅い第3の深さにpn接合を形成する。このようにすると、アモルファス層形成の際に第1の深さ付近に発生した結晶の欠陥と、第3の深さに形成されるpn接合とを十分に分離することができる。

[0022] 以上の結果、第1の半導体装置の製造方法によって、接合リーク電流を低減することができる。つまり、欠陥とpn接合が近くに存在すると接合リーク電流が発生する一因となるが、第1の半導体装置の製造方法によると、欠陥とpn接合とが十分離れた位

置に存在させることができるからである。

[0023] ここで、アモルファス層に対する熱処理を、比較的長時間である数分間の熱処理とすると、パターン依存性の無い活性化処理を行なうことができる。この結果、浅いpn接合(例えばドレインエクステンション接合)を有し且つ接合リーク電流の低減された半導体装置をパターン依存性無く製造することができる。

[0024] 尚、第1の半導体装置の製造方法において、熱処理を行なう際の所定の温度は、475°C以上で且つ600°C以下であることが好ましい。

[0025] このような設定温度において比較的長時間である数分間の熱処理を行なうと、パターン依存性の無い活性化処理を行なうことが確実にできる。この結果、浅いpn接合(例えばドレインエクステンション接合)を有し且つ接合リーク電流の低減された半導体装置をパターン依存性無く製造することができる。

[0026] 本発明に係る第2の半導体装置の製造方法は、第1導電型の半導体領域におけるその表面から第1の深さまでの領域にアモルファス層を形成する工程と、アモルファス層に対して所定の温度において熱処理を行なうことにより、アモルファス層のうち、第1の深さから第1の深さよりも浅い第2の深さまでの領域について結晶構造を回復させ、それによってアモルファス層を第2の深さまで後退させる工程と、熱処理が行なわれたアモルファス層にイオンを導入することにより、第2の深さよりも浅い第3の深さにpn接合を有する第2導電型の第1の不純物層を形成する工程と、第1の不純物層に対して活性化処理を行なう工程とを備えている。

[0027] 第2の半導体装置の製造方法によると、浅いpn接合を有する不純物領域の形成された半導体装置を、第1の半導体装置の製造方法と同様に接合リーク電流を低減しながら製造することができる。また、アモルファス層に対する熱処理及び第1の不純物層に対する活性化処理を比較的長時間である数分間の熱処理とすると、アモルファス層の結晶構造回復及び不純物層活性化のそれぞれの工程において、パターン依存性の発生を防止することができる。

[0028] 本発明に係る第3の半導体装置の製造方法は、第1導電型の半導体領域上にゲート電極を形成する工程と、第1導電型の半導体領域におけるその表面から第1の深さまでの領域にアモルファス層を形成する工程と、アモルファス層に対して所定の

温度において熱処理を行なうことにより、アモルファス層のうち、第1の深さから第1の深さよりも浅い第2の深さまでの領域について結晶構造を回復させ、それによってアモルファス層を第2の深さまで後退させる工程と、熱処理が行なわれたアモルファス層にイオンを導入することにより、第2の深さよりも浅い第3の深さにpn接合を有する第2導電型の第1の不純物層を形成する工程と、熱処理が行なわれた前記アモルファス層にイオンを導入することにより、第1の深さよりも浅く且つ第3の深さよりも深い位置にpn接合を有する第1導電型の第2の不純物層を形成する工程と、第1の不純物層及び第2の不純物層に対して活性化処理を行なう工程とを備えている。

[0029] 第3の半導体装置の製造方法によると、浅いpn接合を有する不純物層を備えたMOSFET(Metal Oxide Semiconductor Field Effect Transistor)等を、第1の半導体装置の製造方法と同様に接合リーク電流を低減しながら製造することができる。また、アモルファス層に対する熱処理及び第1の不純物層に対する活性化処理として比較的長時間である数分間の熱処理を行なうと、アモルファス層の結晶構造回復及び不純物層活性化の工程のそれぞれにおいて、パターン依存性の発生を防止することができる。

[0030] また、第2の不純物層を形成しているので、第2の不純物層として例えばハロー領域等を備えた半導体装置を製造する際に、リーク電流を低減する本発明の効果を実現できる。

[0031] また、本発明に係る第1、第2又は第3の半導体装置の製造方法において、第3の深さは5nm以上で且つ15nm以下であることが好ましい。

[0032] 第3の深さをこのような深さとして第1の不純物層を形成すると、接合リーク電流及びパターン依存性の低減という効果に加え、第1の不純物層を例えば浅いpn接合を有するドレインエクステンション等として利用でき、ショートチャネル効果緩和に有用である。

[0033] また、本発明に係る第2又は第3の半導体装置の製造方法において、熱処理の所定の温度は、475°C以上で且つ600°C以下であり、第1の不純物層又は第1の不純物層と第2の不純物層との活性化処理は、500°C以上で且つ700°C以下の温度範囲で行なわれることが好ましい。

[0034] このような温度に設定し且つ比較的長時間である数分間の熱処理を行なうと、アモルファス層の結晶構造の回復の際に、パターン依存性が発生するのを防止することができる。これと共に、不純物層の活性化の際に、低温SPE技術として、パターン依存性の発生と不純物の拡散を抑制しながら不純物層の活性化を行なうことができる。

[0035] また、半導体領域上に形成されるゲート電極のパターンは半導体領域上で不均一に分布していてもよい。

[0036] ここで、半導体領域上に形成されるゲート電極のパターンが半導体領域上で不均一に分布しているとは、例えばゲート電極が半導体領域上のある領域では密に形成されていると共に、別の領域では疎に形成されているような場合を言う。

[0037] このような場合、低温で数分間の熱処理を行なうことによってパターン依存性の無い特性を有する半導体装置が製造できるという本発明の効果が顕著に発揮できる。低温SPE技術の効果が顕著に得られるのである。また、ゲート電極以外のパターンが不均一に分布している場合についても、本発明の効果は顕著に得られる。

[0038] 本発明に係る第4の半導体装置の製造方法は、第1導電型の半導体領域上にゲート電極を形成する工程と、半導体領域におけるその表面から第1の深さまでの領域にアモルファス層を形成する工程と、ゲート電極の側面に絶縁性のサイドウォールを形成すると同時に、サイドウォール形成の際に行なわれる所定の温度の熱処理によって、アモルファス層のうち、第1の深さから前記第1の深さよりも浅い第2の深さまでの領域について結晶構造を回復させ、それによってアモルファス層を前記第2の深さまで後退させる工程と、熱処理が行なわれた前記アモルファス層におけるゲート電極両側の領域にイオンを導入することにより、第2の深さよりも浅い第3の深さにpn接合を有し且つ第2導電型である第1の不純物層を形成する工程と、第1の不純物層の活性化処理を行なう工程とを備えている

第4の半導体装置の製造方法によると、浅いpn接合を有する不純物層を備えたMOSFET等を形成する際、第1の製造方法と同様に接合リーキ電流を低減することができる。また、アモルファス層に対する熱処理及び第1の不純物層に対する活性化処理の際に比較的長時間である数分間の熱処理を行なうと、アモルファス層の結晶構造回復及び不純物層活性化のそれぞれの工程において、パターン依存性の発生を

防止することができる。

- [0039] 更に、サイドウォールを形成する工程と第1の深さから第2の深さまでの領域のアモルファス層について結晶構造を回復させる工程とを同一の工程で行なうことにより、半導体装置の製造工程を簡略化することができる。
- [0040] 尚、第1の不純物層を形成する工程よりも後に、アモルファス層におけるゲート電極両側の領域にイオンを導入することにより、第1の深さよりも浅く且つ第3の深さよりも深い位置にpn接合を有する第1導電型の第2の不純物層を形成する工程を更に備え、第1の不純物層の活性化処理を行なう工程において、第2の不純物層の活性化処理を同時に行なうことが好ましい。
- [0041] このようにすると、第2の不純物層として例えばハロー領域などを備えた半導体装置を製造する際に、リーク電流を低減する本発明の効果を実現できる。
- [0042] また、本発明に係る第4の半導体装置の製造方法において、第3の深さは5nm以上で且つ15nm以下であることが好ましい。
- [0043] 第3の深さをこのような深さとして第1の不純物層を形成すると、接合リーク電流及びパターン依存性の低減という効果に加え、第1の不純物層を例えば浅いpn接合を有するドレインエクステンション等として利用でき、ショートチャネル効果の緩和に有用である。
- [0044] また、本発明に係る第4の半導体装置の製造方法において、熱処理の所定の温度は、475°C以上で且つ600°C以下であり、第1の不純物層又は第1の不純物層と第2の不純物層との活性化処理は、500°C以上で且つ700°C以下の温度範囲で行なわれるすることが好ましい。
- [0045] このような温度に設定し且つ比較的長時間である数分間の熱処理を行なうと、アモルファス層の結晶構造の回復の際に、パターン依存性が発生するのを防止することができる。これと共に、不純物層の活性化の際に、低温SPE技術として、パターン依存性の発生と不純物の拡散を抑制しながら第1の不純物層又は第1の不純物層と第2の不純物層との活性化ができる。
- [0046] また、半導体領域上に形成されるゲート電極のパターンは半導体領域上で不均一に分布していてもよい。

[0047] このような場合、低温で数分間の熱処理を行なうことによってパターン依存性の無い特性を有する半導体装置が製造できるという本発明の効果が顕著に発揮できる。低温SPE技術の効果が顕著に得られるのである。また、ゲート電極以外のパターンが不均一に分布している場合についても、本発明の効果は顕著に得られる。

### 発明の効果

[0048] 本発明に係る半導体装置の製造方法によると、アモルファス層を形成した後に、その厚さを変化させる。このため、アモルファス層形成の際に発生する欠陥の位置及びアモルファス層と半導体領域のうちの結晶領域との界面(アモルファス・結晶界面)の位置を個別に自由に設定することができ、欠陥の位置とアモルファス層の深さを十分に分離できる。

[0049] また、この結果、アモルファス層内部にpn接合を形成することにより、欠陥の位置とpn接合の位置とを十分に離すことができる。このため、欠陥に起因する接合リーク電流を抑制しながら、浅いドレインエクステンション接合等を形成することができる。また、低温SPE技術を使用することにより、パターン依存性の発生を防止できる。

### 図面の簡単な説明

[0050] [図1]図1(a)～(d)は、本発明における第1の実施形態に係る半導体装置の製造方法の各工程を示す模式的な断面図である。

[図2]図2(a)～(c)は、本発明における第2の実施形態に係る半導体装置の製造方法のうち、ゲート電極形成からアモルファス層の形成までを示す模式的な断面図である。

[図3]図3(a)～(c)は、本発明における第2の実施形態に係る半導体装置の製造方法のうち、ハロー領域形成から不純物層の活性化までを示す模式的な断面図である。

[図4]図4(a)～(c)は、本発明における第3の実施形態に係る半導体装置の製造方法のうち、ゲート電極形成からアモルファス層の形成までを示す模式的な断面図である。

[図5]図5(a)～(c)は、本発明における第3の実施形態に係る半導体装置の製造方法のうち、ハロー領域形成から不純物層の活性化までを示す模式的な断面図である

。

[図6]図6(a)～(c)は、従来の半導体層質製造方法のうち、ゲート電極形成からアモルファス層の形成までを示す模式的な断面図である。

[図7]図7(a)及び(b)は、従来の半導体層質製造方法のうち、コンタクトドレイン形成から不純物層の活性化までを示す模式的な断面図である。

### 符号の説明

- [0051] 100 シリコン基板
- 101 アモルファス層
- 102 アモルファス・結晶界面
- 103 欠陥
- 104 pn接合
- 106 ゲート絶縁膜
- 107 ゲート電極
- 108 ドレインエクステンション
- 109 ハロー領域
- 110 サイドウォール
- 111 コンタクトドレイン
- A 第1の深さ
- B 第2の深さ
- C 第3の深さ

### 発明を実施するための最良の形態

#### [0052] (第1の実施形態)

以下、本発明の第1の実施形態に係る半導体装置の製造方法について、図面を参照しながら説明する。

[0053] 図1(a)～(d)は、第1の実施形態に係る半導体装置の製造方法の工程を模式的に表す断面図である。

[0054] まず、半導体領域の一例として、図1(a)に示すようにn型のシリコン基板100を準備する。

[0055] 次に、図1(b)に示すように、シリコン基板100に対して例えばゲルマニュウム又はシリコン等のイオンを注入し、シリコン基板100表面から第1の深さAまでの領域にアモルファス層101を形成する。この際、シリコン基板100とアモルファス層101の結晶領域との界面(以下、アモルファス・結晶界面102と言う)の付近に、言い換えると、第1の深さA付近に、欠陥103が発生する。ここで、イオン注入の際の注入エネルギーを調節することで、アモルファス層101の形成される第1の深さAを任意に設定することができ、結果として、欠陥103の存在する深さを任意に設定できる。

[0056] 次に、シリコン基板100に対し、低温(例えば500°C)で熱処理を行なう。これにより、アモルファス層101は、アモルファス・結晶界面102からシリコン基板100の表面に向かって所定の回復レートで結晶構造を回復する。この際、熱処理の温度と処理時間とを調整することにより、図1(c)に示すように、第1の深さAより浅い任意の第2の深さBまで結晶構造を回復させ、アモルファス層101をシリコン基板100の表面から第2の深さBまでの領域に縮小することができる。言い換えると、アモルファス層101の厚さがシリコン基板100の表面から第2の深さBまでの厚さとなるのである。

[0057] この結果、熱処理前のアモルファス・結晶界面102の位置であった第1の深さAに存在する欠陥103と、第2の深さBに存在する熱処理後のアモルファス・結晶界面102とを十分に分離することができる。

[0058] この後、図1(d)に示すように、アモルファス層101に対して不純物イオンを注入することにより、第2の深さBより浅い第3の深さCにpn接合104を形成する。つまり、pn接合104は、アモルファス層101の内部に形成される。

[0059] 第1の実施形態によると、アモルファス・結晶界面の位置及び欠陥の位置を制御して分離できる。このため、アモルファス層を利用してイオン注入を行なうことにより、半導体装置のトランジスタ形成に必要な各接合の位置として選択できる範囲が広くなる。つまり、始めにアモルファス層が形成された際のアモルファス・結晶界面の位置に存在する欠陥を避けることができると共に、各接合の位置を任意に選択することができる。

[0060] 具体的には、イオン注入の条件を設定することにより、アモルファス層101が形成される深さ(第1の深さA)を任意に設定することができる。この結果、欠陥103の生じる

深さを任意に設定することができる。次に、アモルファス層101に対して熱処理を行なう際の条件を設定することにより、熱処理後のアモルファス層101の深さ(第1の深さAよりも浅い第2の深さB)を任意に設定することができる。更に、熱処理後のアモルファス層101に対してイオン注入を行なうことによってアモルファス層101内部にpn接合104を形成すると、pn接合104は第2の深さBよりも浅い第3の深さCに形成されることになる。第2の深さBは第1の深さAよりも浅いため、pn接合104の位置(第3の深さC)は、第1の深さAに存在する欠陥103から離れた位置に設定されることになる。

[0061] 以上のようにすると、接合リード電流を低減できる。欠陥103とpn接合104とが近くに存在すると接合リード電流の原因となるが、本実施形態によると欠陥103とpn接合104とを十分に離れてた位置に設定できるからである。

[0062] 尚、アモルファス層101の深さを回復するための熱処理(低温アニール)の温度は475°C以上で且つ600°C以下であるのが好ましく、本実施形態では500°Cにしている。このような温度でアニールを行なうと、アモルファス層101形成直後のアモルファス・結晶界面102のラフネス(凹凸)を熱処理後には概ね平らにすることができます。具体的には、アモルファス・結晶界面102のラフネスを1nm以下にすることができます。

[0063] また、本実施形態では半導体領域としてn型のシリコン基板100を用いたが、p型のシリコン基板を用いてもよい。

[0064] また、本実施形態ではイオン注入によってアモルファス層にイオンを導入したが、この他の手段、例えばプラズマドーピング等によってイオンを導入しても良い。

[0065] (第2の実施形態)

以下、本発明の第2の実施形態に係る半導体装置の製造方法について、図面を参照しながら説明する。

[0066] 図2(a)～(c)及び図3(a)～(c)は、第2の実施形態に係る半導体装置の製造方法の工程を模式的に表す断面図である。

[0067] まず、図2(a)に示すように、半導体領域としてのn型のシリコン基板100上に、ゲート絶縁膜106を介してポリシリコンからなるゲート電極107を形成する。これは、例えば、公知のリソグラフィ技術及びエッチング技術を用いて形成すればよい。ここで、ゲ

ート長は例えば70nmである。

[0068] 次に、シリコン基板100におけるゲート電極107両側の領域に、例えばゲルマニウム又はシリコン等のイオンを注入し、シリコン基板100表面から第1の深さまでの厚さを持つアモルファス層101を形成する。ここで、アモルファス層101の厚さとは、シリコン基板100の表面からアモルファス層101の下面までの厚さを言う。つまり、例えばゲート電極107下側ではアモルファス層101は浅くなっているが、このような浅くなっている部分ではなく、それ以外の部分の厚さを言う。以下、本明細書において、他の領域についても、厚さとはシリコン基板100の表面から該領域の下面までの厚さを言うものとする。同様に、pn接合の深さとは、該接合の下面の深さを言うものとする。

[0069] また、イオンの注入エネルギーを調節することにより、第1の深さは、トランジスタ形成に必要な種々のpn接合より深い位置に設定する。

[0070] 具体的には、例えば、ゲルマニウムを、注入エネルギー60keVで且つドーズ量 $3 \times 10^{14} / \text{cm}^2$ の条件で注入すると、第1の深さは約80nmとなる。この深さは、後に形成するドレインエクステンション及びハロー領域等のpn接合よりも深い。

[0071] また、アモルファス層101形成の際に、シリコン基板100の結晶領域とアモルファス層101との界面(該界面は第1の深さに存在する)付近には、欠陥103が発生している。

[0072] 次に、475°C以上で且つ600°C以下の温度範囲、例えば500°C温度において、数分間の熱処理を行なう。これによって、アモルファス層101の第1の深さから第1の深さより浅い任意の第2の深さまでの領域について、結晶構造を回復させることができる。この結果、アモルファス層101は、シリコン基板100の表面から第2の深さまでの領域に縮小される。この様子を図2(b)に示す。本実施形態では、第2深さは15nm~30nmとしている。

[0073] 尚、該アモルファス層101の結晶構造回復の際、欠陥103の存在位置は変化せず、第1の深さ付近に残る。

[0074] 但し、本実施形態における475°C以上で且つ600°C以下と言う温度範囲は、好ましい温度範囲であるが、これに限るものではない。

[0075] 続いて、図2(c)に示すように、アモルファス層101におけるゲート電極107両側の

領域に、ゲート電極107をマスクとして不純物であるボロン等をイオン注入する。これによって、第1の不純物層として、ゲート電極107の下に一部入り込むようなp型のドレインエクステンション108を形成する。この際、例えば注入エネルギーは1keV以下で且つドーズ量は $1 \times 10^{14} / \text{cm}^2$ の条件とする。また、ドレインエクステンション108は例えば5nm～15nmの深さに形成する。

[0076] アモルファス層101に対してボロン等の注入を行なっていることからチャネリング現象を抑制できるため、ボロンはシリコン基板100の深い部分に入って行くことは無い。このため、ドレインエクステンション108は、第2の深さよりも十分に浅い領域に形成できる。

[0077] p型のドレインエクステンション108とn型のシリコン基板100との境界にpn接合が形成されるが、該pn接合の位置は、第1の深さに存在する欠陥から十分に離れている。このため、欠陥103に起因する接続リーク電流を抑制することができる。

[0078] 次に、図3(a)に示すように、ゲート電極107をマスクとして、シリコン基板100におけるゲート電極107両側の領域に、例えば砒素をドーズ量 $5 \times 10^{13} / \text{cm}^2$ 且つ基板面の法線に対する角度25度の条件でイオン注入する。このようにして、ドレインエクステンション108よりも更にゲート電極107の下に入り込み且つドレインエクステンション108を囲むように、第2の不純物層としてn型のハロー領域109を形成する。

[0079] ここで、n型ハロー領域109とp型ドレインエクステンション108とのpn接合についても、第1の深さに存在する欠陥103から十分に離れているため、欠陥103に起因する接続リーク電流を抑制することができる。

[0080] 更に、図3(b)に示すように、ゲート電極107の両側面に絶縁性のサイドウォール110を形成する。続いて、ゲート電極107及びサイドウォール110マスクとして、シリコン基板100におけるゲート電極107及びサイドウォール110の両側の領域に、n型不純物のイオン注入を行なう。これによって、コンタクトドレイン111を形成する。コンタクトドレイン111は、コンタクト抵抗低減のためにドレインエクステンション108よりも高い不純物濃度と共に、第1の深さ(本実施形態では約80nm)よりも浅い、例えば約60nmの深さに形成する。

[0081] 次に、ドレインエクステンション108、ハロー領域109及びコンタクトドレイン111等

の不純物層の活性化処理を行なう。これには、低温SPE技術を用いる。具体的には、温度が500°C以上で且つ800°C以下であると共に処理時間が2分以上で且つ3分以下である条件で熱処理を行なう。但し、500°C以上で且つ800°C以下という温度範囲は好ましい条件であるが、これに限るものではない。また、より好ましくは500°C以上で且つ700°C以下という温度範囲で活性化処理を行なうのが良い。

[0082] これによって、アモルファス層101が結晶構造を回復してシリコン基板100中にアモルファスである領域は存在しなくなると共に、ドレインエクステンション108、ハロー領域109及びコンタクトドレイン111等の不純物層を、不純物の拡散を伴わずに活性化することができる。この結果を図3(c)に示す。また、この熱処理は、短時間で処理を行なうフラッシュアニール等とは異なり、数分間と比較的長時間である。このため、シリコン基板100上に形成されているパターンにゲート電極107の粗密差等の不均一性があつても、該不均一性の影響を受けることなく、ばらつきのない特性を有するトランジスタを形成できる。

[0083] 以上のように、本実施形態によると、当初シリコン基板100におけるその表面から第1の深さまでの領域にアモルファス層101を形成した後、熱処理によってアモルファス層101の結晶構造を一部回復させ、第1の深さよりも浅い第2の深さまでアモルファス・結晶界面を後退させる。このため、第1の深さに存在する欠陥103と、第2の深さにある熱処理後のアモルファス・結晶界面とを分離することができる。続いて、アモルファス層101に対してイオン注入を行なうことによってアモルファス層101の内部にドレインエクステンション108及びハロー領域109を形成すると、それぞれのpn接合と欠陥103とを十分に分離することができる。

[0084] 以上から、欠陥103とpn接合とが近接している場合に生じる接合リーケ電流を抑制することができる。これをを利用して、低温SPE技術によってパターン依存性を抑制すると共に、本発明の効果によって接合リーケ電流を抑制した半導体装置を製造することができる。

[0085] 尚、ゲート寸法が例えば90nm程度よりも小さい微細トランジスタにおいては、第2の不純物層であるハロー領域109を形成することが好ましい。しかし、ハロー領域109は本実施形態の必須要素ではなく、必要に応じて形成すればよい。

[0086] また、本実施形態では第1の深さを約80nm、第2の深さを15nm～30nm、ドレインエクステンション108の深さを5nm～15nmとしている。これらはいずれも好ましい値であるが、これに限るものでは無く、必要に応じて設定すれば良い。

[0087] また、アモルファス層101の形成とドレインエクステンション108、ハロー領域109及びコンタクトドレイン111の形成におけるイオン注入の条件(注入エネルギー、注入角度及びドーズ量等)は、本実施形態で示した値とするのがそれぞれ好ましい条件であるが、これらに限るものではない。更に、本実施形態ではイオン注入によってアモルファス層101にイオンを導入したが、プラズマドーピング等のイオン注入以外の手段によってイオンを導入しても良い。

[0088] また、本実施形態では第1導電型をn型、第2導電型をp型としている。しかし、これは逆に、第1導電型をp型、第2導電型をn型としても良い。

[0089] また、本実施形態ではシリコン基板100上にゲート電極107を形成した後にアモルファス層101を形成している。しかし、これらの順序を逆にし、シリコン基板100に対してアモルファス層101を形成した後に、ゲート電極107を形成しても良い。

[0090] (第3の実施形態)  
以下、本発明の第3の実施形態に係る半導体装置の製造方法について、図面を参考しながら説明する。

[0091] 図4(a)～(c)及び図5(a)～(c)は、第3の実施形態に係る半導体装置の製造方法の工程を模式的に表す断面図である。

[0092] まず、図4(a)に示すように、半導体領域としてのn型のシリコン基板100上に、ゲート絶縁膜106を介してポリシリコンからなるゲート電極107を形成する。これは、例えば、公知のリソグラフィ技術及びエッチング技術を用いて形成すればよい。

[0093] 次に、シリコン基板100におけるゲート電極107両側の領域に、例えばゲルマニウム又はシリコン等のイオンを注入し、シリコン基板100表面から第1の深さまでの厚さを持つアモルファス層101を形成する。アモルファス層101の厚さとは、シリコン基板100の表面からアモルファス層101の下面までの厚さを言う。

[0094] ここで、イオンの注入エネルギーを調節することにより、第1の深さは、トランジスタ形成に必要な種々のpn接合より深い位置に設定する。

[0095] 具体的には、例えば、ゲルマニウムを、注入エネルギー60keVで且つドーズ量 $3 \times 10^{14} / \text{cm}^2$ の条件で注入すると、第1の深さは約80nmとなり、この深さは、後に形成するドレインエクステンション及びハロー領域等のpn接合よりも深い。

[0096] また、アモルファス層101形成の際に、シリコン基板100の結晶領域とアモルファス層101との界面(該界面は第1の深さに存在する)付近には、欠陥103が発生している。

[0097] 次に、図4(b)に示すように、ゲート電極107の両側面に減圧CVDによってシリコン酸化膜を堆積し、絶縁性のサイドウォール110を形成する。この工程は約550°Cで行なわれる熱処理を伴うため、サイドウォール110の形成と同時に、第1の深さから第1の深さより浅い任意の第2の深さまでの領域で、アモルファス層101の結晶構造が回復する。この結果、アモルファス層101は、シリコン基板100の表面から第2の深さまでの領域に縮小される。ここで、本実施形態では、第2の深さは15nm以上で且つ30nm以下である。

[0098] 尚、該アモルファス層101の結晶構造回復の際、欠陥103の存在位置は変化せず、第1の深さに残る。

[0099] 次に、図4(c)に示すように、アモルファス層101におけるゲート電極107及びサイドウォール110の両側の領域に、ゲート電極107及びサイドウォール110をマスクとして不純物であるボロン等を注入する。これによって、第1の不純物層として、ゲート電極107の下に一部入り込むようなp型のドレインエクステンション108を形成する。この際、例えば、基板面の法線に対する角度を25度とすると共に、注入エネルギーは1keV以下で且つドーズ量は $1 \times 10^{14} / \text{cm}^2$ である条件とする。また、ドレインエクステンション108は5nm以上で且つ15nm以下の深さに形成する。

[0100] アモルファス層101に対してボロン等の注入を行なっていることからチャネリング現象を抑制できるため、ボロンはシリコン基板100の深い部分に入って行くことは無い。このため、ドレインエクステンション108は、第2の深さよりも十分に浅い領域に形成される。

[0101] このようにしてp型のドレインエクステンション108とn型のシリコン基板100との境界にpn接合が形成されるが、該pn接合は、第1の深さよりも浅い第2の深さに比べて更

に浅い位置に存在する。このために該pn接合は第1の深さに存在する欠陥から十分に離れていることから、欠陥103に起因する接続リーク電流を抑制することができる。

[0102] 次に、図5(a)に示すように、ゲート電極107及びサイドウォール110をマスクとして、シリコン基板100におけるゲート電極107及びサイドウォール110の両側の領域に、例えば法線に対する角度が45度であり且つドーズ量 $5 \times 10^{13} / \text{cm}^2$ の条件で砒素をイオン注入する。

[0103] このようにして、ドレインエクステンション108よりも更にゲート電極107の下に入り込み且つドレインエクステンション108を囲むように、第2の不純物層としてn型のハロー領域109を形成する。但し、第2の深さより浅い位置にハロー領域109が納まるように形成する。

[0104] このようにすると、n型であるハロー領域109とp型ドレインエクステンション108とのpn接合についても、第1の深さよりも浅い第2の深さに比べて更に浅い位置に存在することになる。このために該pn接合は第1の深さに存在する欠陥103から十分に離れていることから、欠陥103に起因する接続リーク電流の発生を防ぐことができる。

[0105] 更に、図5(b)に示すように、ゲート電極107及びサイドウォール110をマスクとして、シリコン基板100におけるゲート電極107及びサイドウォール110の両側の領域に、n型不純物イオンを注入する。これによって、コンタクトドレイン111を形成する。コンタクトドレイン111は、コンタクト抵抗低減のためにドレインエクステンション108よりも高い不純物濃度とすると共に、第1の深さ(本実施形態では約80nm)よりも浅い、例えば約60nmの深さに形成する。

[0106] 次に、ドレインエクステンション108、ハロー領域109及びコンタクトドレイン111等の不純物層の活性化処理を行なう。これには、低温SPE技術を用いる。具体的には、温度が500°C以上で且つ800°C以下であると共に処理時間が2分以上で且つ3分以下である条件で熱処理を行なう。但し、500°C以上で且つ800°C以下という温度範囲は好ましい条件であるが、これに限るものではない。また、より好ましくは、500°C以上で且つ700°C以下という温度範囲において活性化処理を行なうのが良い。

[0107] これによって、アモルファス層101が結晶構造を回復してシリコン基板100中にアモルファスである領域は存在しなくなると共に、ドレインエクステンション108、ハロー領

域109及びコンタクトドレイン111等の不純物層を、不純物の拡散を伴わずに活性化することができる。この結果を図5(c)に示す。また、この熱処理は、短時間で処理を行なうフラッシュアニール等とは異なり、数分間と比較的長時間である。このため、シリコン基板100上に形成されているパターンにゲート電極107の粗密差等の不均一性があつても、該不均一性の影響を受けることなく、ばらつきのない特性を有するトランジスタを形成できる。

[0108] 以上のように、本実施形態によると、当初シリコン基板100におけるその表面から第1の深さまでの領域にアモルファス層101を形成した後、サイドウォール110を形成する工程で行なわれる熱処理によってアモルファス層101の結晶構造を一部回復させ、第1の深さよりも浅い第2の深さまでアモルファス・結晶界面を後退させる。このため、第1の深さに存在する欠陥103と、第2の深さにある熱処理後のアモルファス・結晶界面とを分離することができる。続いて、アモルファス層101に対してイオン注入を行なうことによってアモルファス層101の内部にドレンエクステンション108及びハロー領域109を形成すると、それぞれのpn接合と欠陥103とを十分に分離することができる。

[0109] 以上から、欠陥103とpn接合とが近接している場合に生じる接合リーク電流を抑制することができる。これを利用して、低温SPE技術によってパターン依存性を抑制すると共に、本発明の効果によって接合リーク電流を抑制した半導体装置を製造することができる。

[0110] 更に、本実施形態では、サイドウォール110を形成する工程で行なわれる熱処理により、アモルファス層101の結晶構造を第1の深さから第2の深さまでの領域において回復させる処理を同時に行なう。このため、工程数を減らすことが可能となっている。

[0111] 尚、ゲート寸法が例えば90nm程度よりも小さい微細トランジスタにおいては、第2の不純物層であるハロー領域109を形成することが好ましい。しかし、ハロー領域109は本実施形態の必須要素ではなく、必要に応じて形成すればよい。

[0112] また、本実施形態で示した第1の深さ、第2の深さ及びドレンエクステンション108の深さは、いずれも好ましい値であるが、これらに限るものでは無く、必要に応じて設定すれば良い。

[0113] また、アモルファス層101の形成とドレインエクステンション108、ハロー領域109及びコンタクトドレイン111の形成とにおけるイオン注入の条件(注入エネルギー、注入角度及びドーズ量等)等は、本実施形態で示した値とするのがそれぞれ好ましい条件であるが、これらに限るものではない。

[0114] また、本実施形態では第1導電型をn型、第2導電型をp型としている。しかし、これは逆に、第1導電型をp型、第2導電型をn型としても良い。

[0115] また、本実施形態ではシリコン基板100上にゲート電極107を形成した後にアモルファス層101を形成している。しかし、これらの順序を逆にし、シリコン基板100に対してアモルファス層101を形成した後に、ゲート電極107を形成しても良い。

[0116] また、本実施形態ではイオン注入によってアモルファス層101に対してイオンを導入しているが、イオン注入以外の手法、例えばプラズマドーピング等によってイオンを導入してもよい。

### 産業上の利用可能性

[0117] 本発明に係る半導体装置の製造方法は、アモルファス層形成の際に発生する欠陥の位置と不純物層を形成した際のpn接合の位置とを十分に離れて位置させる効果を有する。この効果は、欠陥に起因する接合リーク電流の抑制に利用できる。これと共に、低温SPE技術を用いることで、半導体領域上に形成されるパターンに関わらず均一に浅いドレインエクステンション等を形成するのに利用できる。

## 請求の範囲

[1] 半導体領域におけるその表面から第1の深さまでの領域にアモルファス層を形成する工程と、

前記アモルファス層に対して所定の温度において熱処理を行なうことにより、前記アモルファス層のうち、前記第1の深さから前記第1の深さよりも浅い第2の深さまでの領域について結晶構造を回復させ、それによって前記アモルファス層を前記第2の深さまで後退させる工程と、

前記熱処理が行なわれた前記アモルファス層にイオンを導入することにより、前記第2の深さよりも浅い第3の深さにpn接合を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

[2] 請求項1に記載の半導体装置の製造方法において、

前記所定の温度は、475°C以上で且つ600°C以下である。

[3] 請求項1に記載の半導体装置の製造方法において、

前記第3の深さは5nm以上で且つ15nm以下である。

[4] 請求項1に記載の半導体装置の製造方法において、

前記半導体領域上に形成されるゲート電極のパターンは前記半導体領域上で不均一に分布している。

[5] 第1導電型の半導体領域におけるその表面から第1の深さまでの領域にアモルファス層を形成する工程と、

前記アモルファス層に対して所定の温度において熱処理を行なうことにより、前記アモルファス層のうち、前記第1の深さから前記第1の深さよりも浅い第2の深さまでの領域について結晶構造を回復させ、それによって前記アモルファス層を前記第2の深さまで後退させる工程と、

前記熱処理が行なわれた前記アモルファス層にイオンを導入することにより、前記第2の深さよりも浅い第3の深さにpn接合を有する第2導電型の第1の不純物層を形成する工程と、

前記第1の不純物層に対して活性化処理を行なう工程とを備えていることを特徴とする半導体装置の製造方法。

- [6] 請求項5に記載の半導体装置の製造方法において、  
前記第3の深さは5nm以上で且つ15nm以下である。
- [7] 請求項5に記載の半導体装置の製造方法において、  
前記所定の温度は、475°C以上で且つ600°C以下であると共に、  
前記第1の不純物層の活性化処理は、500°C以上で且つ700°C以下の温度範囲  
で行なう。
- [8] 請求項5に記載の半導体装置の製造方法において、  
前記半導体領域上に形成されるゲート電極のパターンは前記半導体領域上で不  
均一に分布している。
- [9] 第1導電型の半導体領域上にゲート電極を形成する工程と、  
前記第1導電型の半導体領域におけるその表面から第1の深さまでの領域にアモ  
ルファス層を形成する工程と、  
前記アモルファス層に対して所定の温度において熱処理を行なうことにより、前記  
アモルファス層のうち、前記第1の深さから前記第1の深さよりも浅い第2の深さまでの  
領域について結晶構造を回復させ、それによって前記アモルファス層を前記第2の  
深さまで後退させる工程と、  
前記熱処理が行なわれた前記アモルファス層にイオンを導入することにより、前記  
第2の深さよりも浅い第3の深さにpn接合を有する第2導電型の第1の不純物層を形  
成する工程と、  
前記熱処理が行なわれた前記アモルファス層にイオンを導入することにより、前記  
第1の深さよりも浅く且つ前記第3の深さよりも深い位置にpn接合を有する第1導電  
型の第2の不純物層を形成する工程と、  
前記第1の不純物層及び前記第2の不純物層に対して活性化処理を行なう工程と  
を備えていることを特徴とする半導体装置の製造方法。
- [10] 請求項9に記載の半導体装置の製造方法において、  
前記第3の深さは5nm以上で且つ15nm以下である。
- [11] 請求項9に記載の半導体装置の製造方法において、  
前記所定の温度は、475°C以上で且つ600°C以下であると共に、

前記第1の不純物層と前記第2の不純物層との活性化処理は、500°C以上で且つ700°C以下の温度範囲で行なう。

- [12] 請求項9に記載の半導体装置の製造方法において、  
前記半導体領域上に形成されるゲート電極のパターンは前記半導体領域上で不均一に分布している。
- [13] 第1導電型の半導体領域上にゲート電極を形成する工程と、  
前記半導体領域におけるその表面から第1の深さまでの領域にアモルファス層を形成する工程と、  
前記ゲート電極の側面に絶縁性のサイドウォールを形成すると同時に、前記サイドウォール形成の際に行なわれる所定の温度の熱処理によって、前記アモルファス層のうち、前記第1の深さから前記第1の深さよりも浅い第2の深さまでの領域について結晶構造を回復させ、それによって前記アモルファス層を前記第2の深さまで後退させる工程と、  
前記熱処理が行なわれた前記アモルファス層における前記ゲート電極両側の領域にイオンを導入することにより、前記第2の深さよりも浅い第3の深さにpn接合を有し且つ第2導電型である第1の不純物層を形成する工程と、  
前記第1の不純物層の活性化処理を行なう工程とを備えていることを特徴とする半導体装置の製造方法。
- [14] 請求項13に記載の半導体装置の製造方法において、  
前記第1の不純物層を形成する工程よりも後に、前記アモルファス層における前記ゲート電極両側の領域にイオンを導入することにより、前記第1の深さよりも浅く且つ前記第3の深さよりも深い位置にpn接合を有する第1導電型の第2の不純物層を形成する工程を更に備え、  
前記第1の不純物層の活性化処理を行なう工程において、前記第2の不純物層の活性化処理を同時に行なう。
- [15] 請求項13に記載の半導体装置の製造方法において、  
前記第1の不純物層の深さは5nm以上で且つ15nm以下である。
- [16] 請求項13に記載の半導体装置の製造方法において、

前記所定の温度は、475°C以上で且つ600°C以下であり、

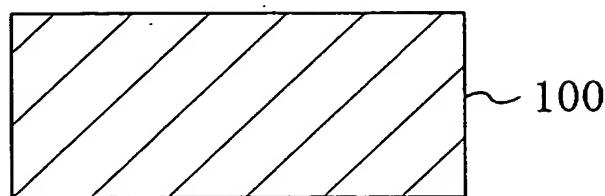
前記活性化処理は、500°C以上で且つ700°C以下の温度範囲で行なわれる。

[17] 請求項13に記載の半導体装置の製造方法において、

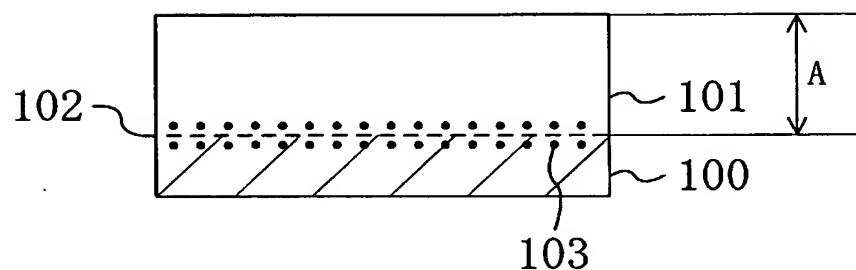
前記半導体領域上に形成されるゲート電極のパターンは前記半導体領域上で不均一に分布している。

[図1]

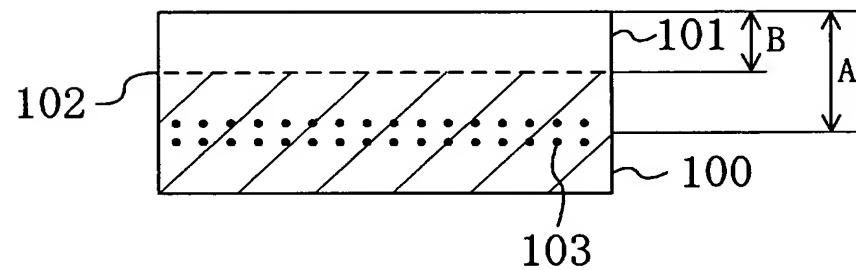
(a)



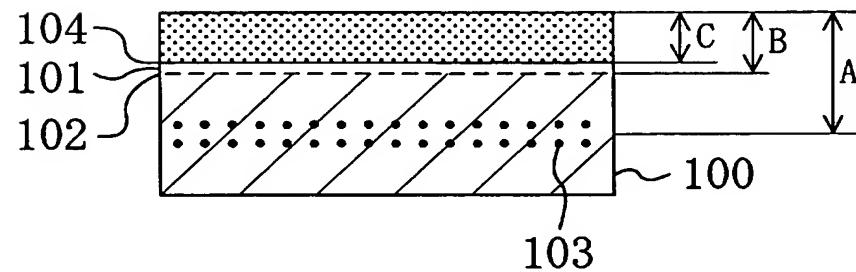
(b)



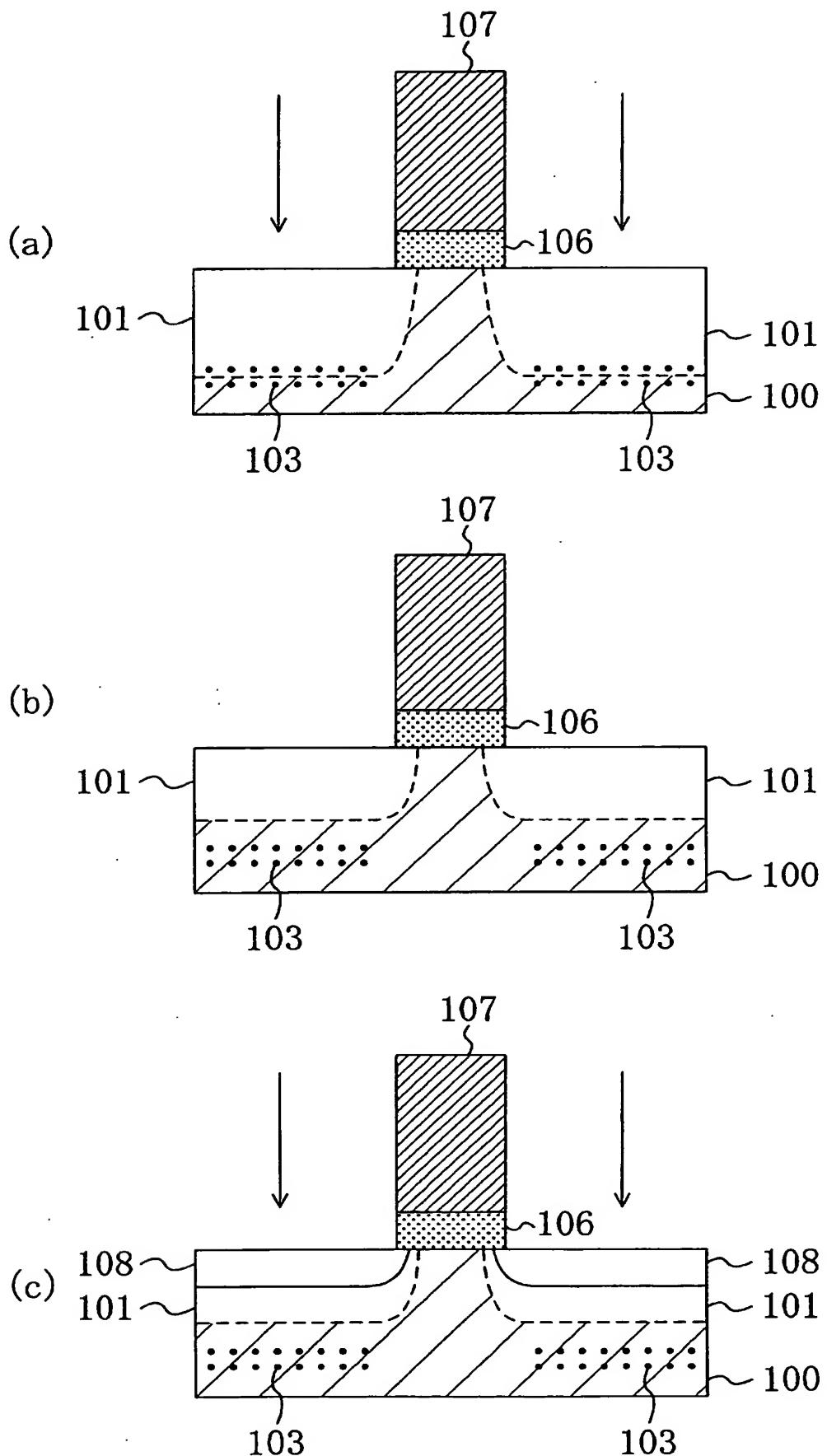
(c)



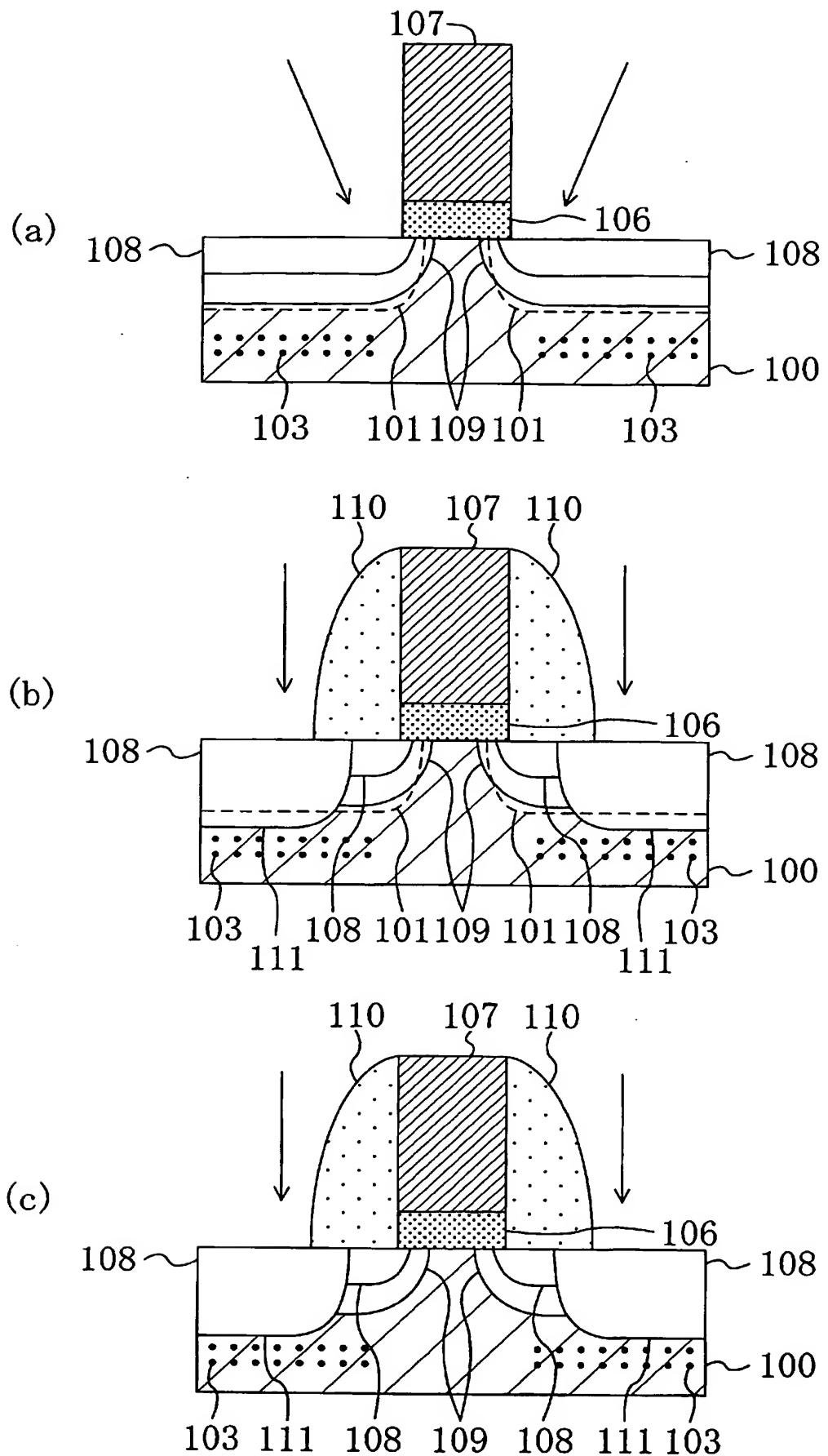
(d)



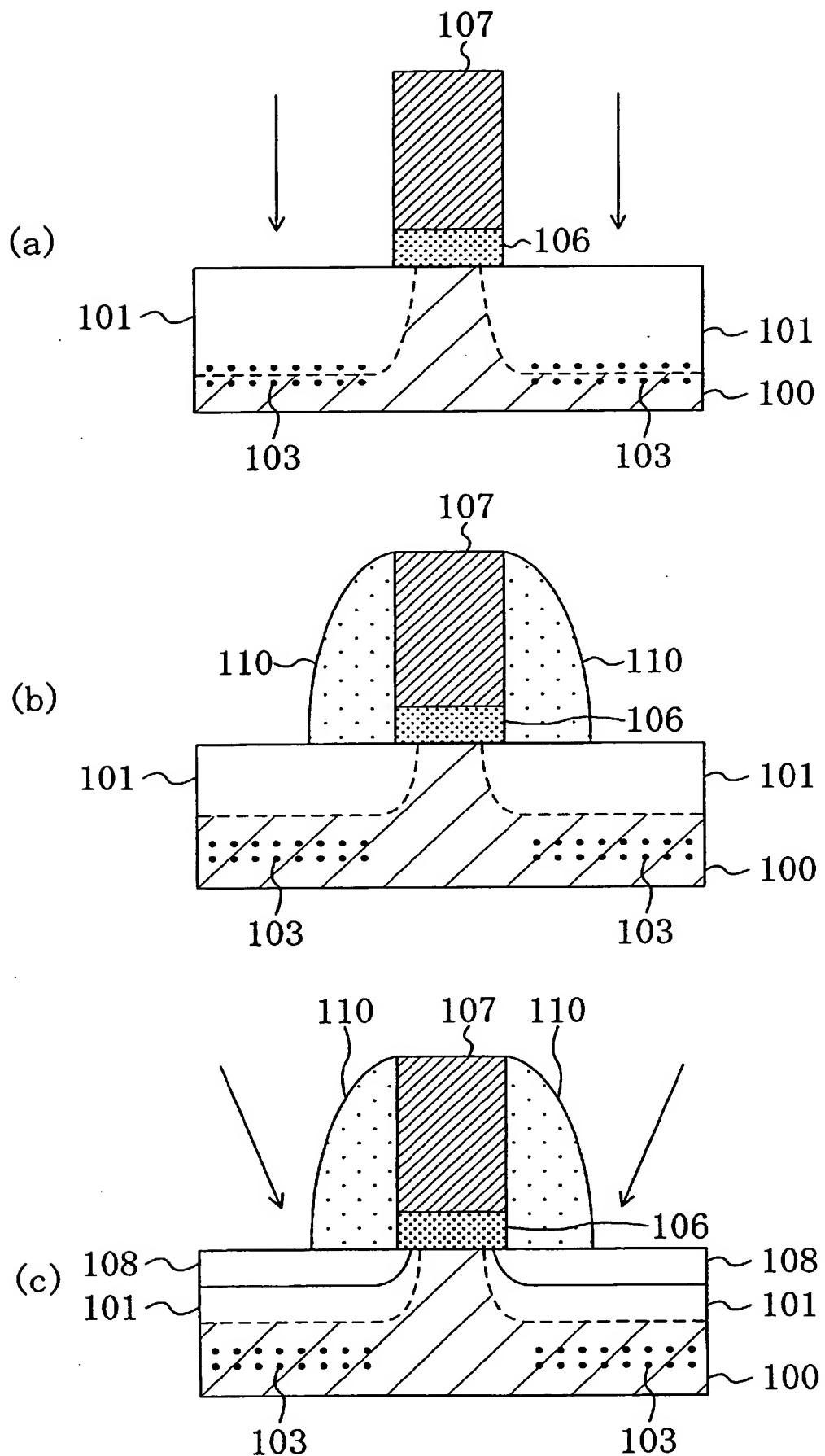
[図2]



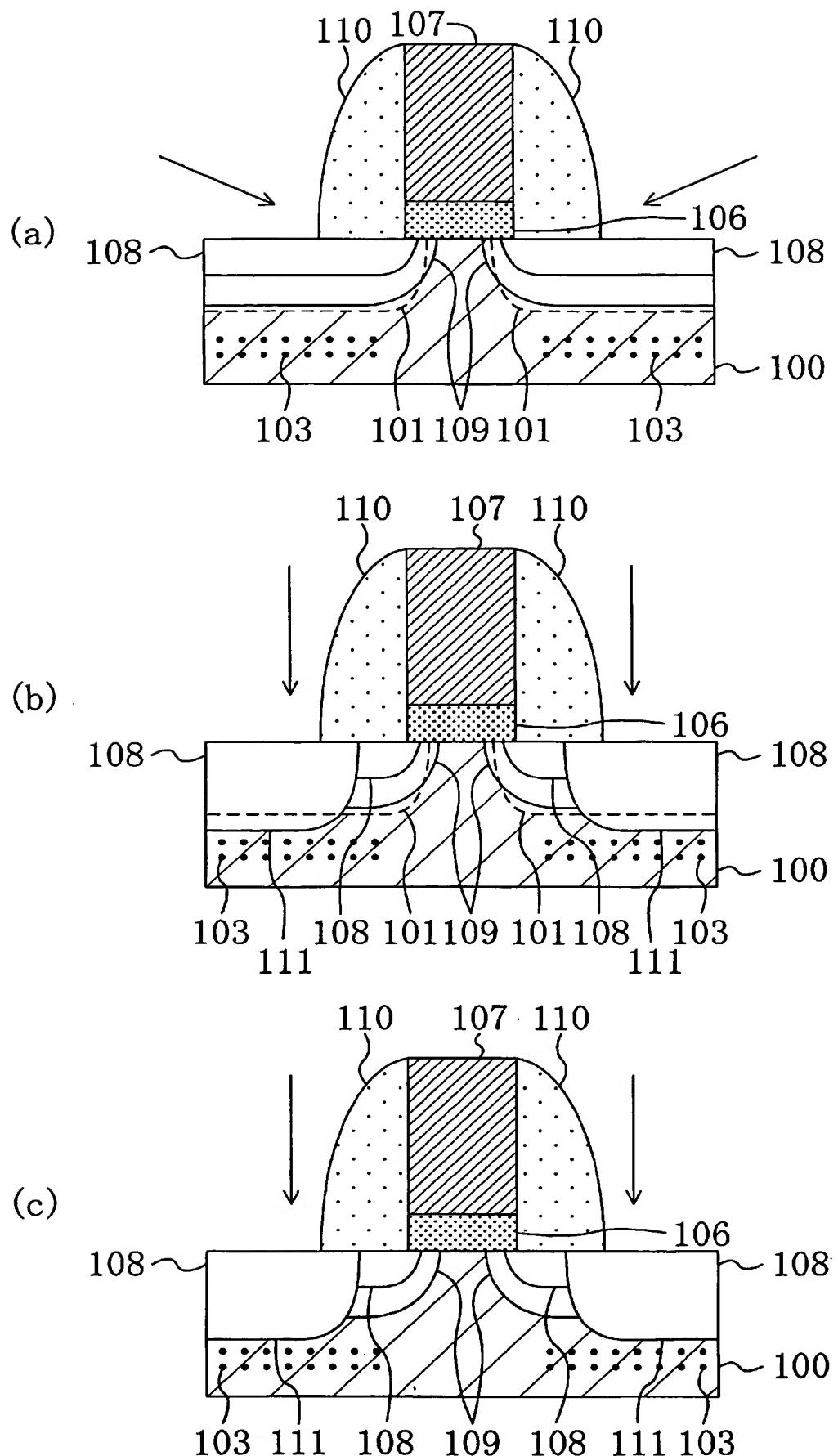
[図3]



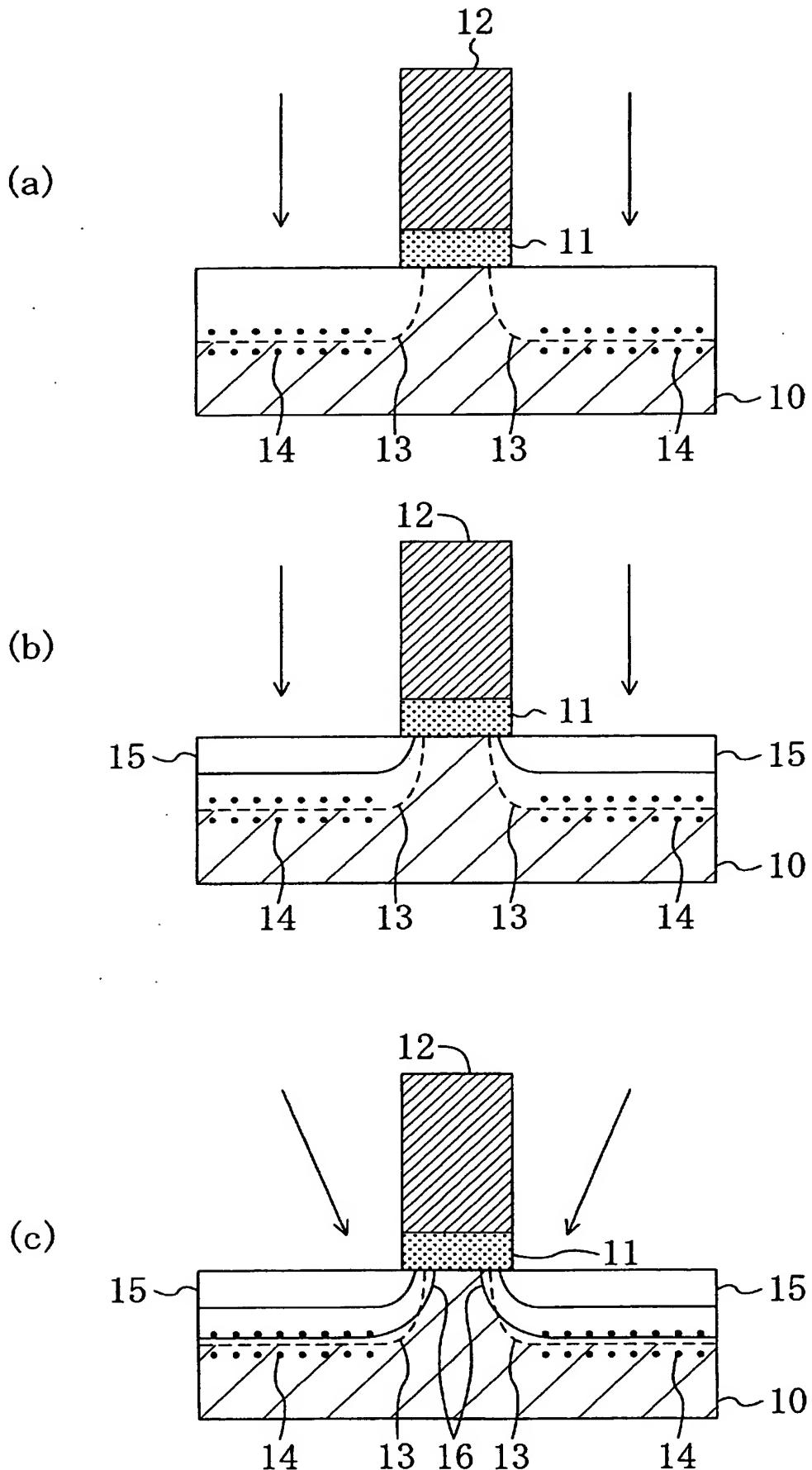
[図4]



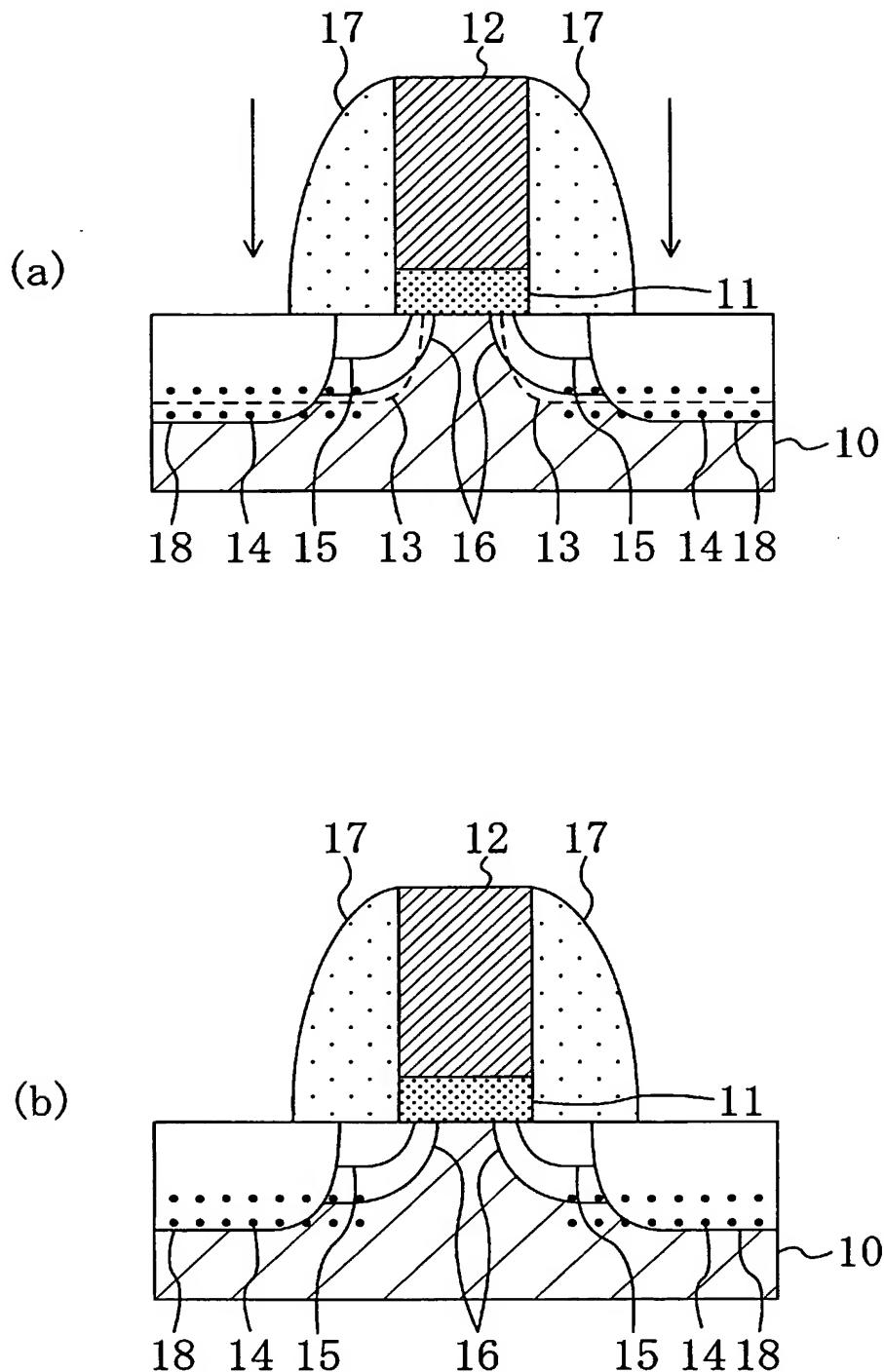
[図5]



[図6]



[図7]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/005947

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H01L21/265, 29/78

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L21/265, 29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005  
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                              | Relevant to claim No. |
|-----------|---------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 04-058524 A (Fujitsu Ltd.),<br>25 February, 1992 (25.02.92),<br>Full text; Figs. 1 to 4<br>(Family: none)                    | 1-17                  |
| A         | JP 06-089869 A (Oki Electric Industry Co.,<br>Ltd.),<br>29 March, 1994 (29.03.94),<br>Full text; Figs. 1 to 3<br>(Family: none) | 1-17                  |
| A         | JP 05-190850 A (Sony Corp.),<br>30 July, 1993 (30.07.93),<br>Full text; Figs. 1 to 11<br>(Family: none)                         | 1-17                  |

 Further documents are listed in the continuation of Box C. See patent family annex.

|                                                                                                                                                                         |                                                                                                                                                                                                                                                  |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| • Special categories of cited documents:                                                                                                                                |                                                                                                                                                                                                                                                  |
| “A” document defining the general state of the art which is not considered to be of particular relevance                                                                | “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention                                              |
| “E” earlier application or patent but published on or after the international filing date                                                                               | “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone                                                                     |
| “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| “O” document referring to an oral disclosure, use, exhibition or other means                                                                                            | “&” document member of the same patent family                                                                                                                                                                                                    |
| “P” document published prior to the international filing date but later than the priority date claimed                                                                  |                                                                                                                                                                                                                                                  |

Date of the actual completion of the international search  
15 June, 2005 (15.06.05)Date of mailing of the international search report  
05 July, 2005 (05.07.05)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/005947

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                      | Relevant to claim No. |
|-----------|-------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | US 6074937 A (Advanced Micro Devices, Inc.),<br>13 June, 2000 (13.06.00),<br>Full text; Figs. 1 to 11<br>(Family: none) | 1-17                  |
| A         | JP 08-203842 A (Sony Corp.),<br>09 August, 1996 (09.08.96),<br>Full text; Figs. 1 to 6<br>& US 5602045 A                | 1-17                  |

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> H01L21/265, 29/78

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> H01L21/265, 29/78

## 最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2005年 |
| 日本国実用新案登録公報 | 1996-2005年 |
| 日本国登録実用新案公報 | 1994-2005年 |

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                            | 関連する<br>請求の範囲の番号 |
|-----------------|--------------------------------------------------------------|------------------|
| A               | JP 04-058524 A (富士通株式会社) 1992. 02. 25, 全文, 第1-4図 (ファミリーなし)   | 1-17             |
| A               | JP 06-089869 A (沖電気工業株式会社) 1994. 03. 29, 全文, 第1-3図 (ファミリーなし) | 1-17             |
| A               | JP 05-190850 A (ソニー株式会社) 1993. 07. 30, 全文, 第1-11図 (ファミリーなし)  | 1-17             |

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

## 国際調査を完了した日

15. 06. 2005

## 国際調査報告の発送日

05. 7. 2005

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

## 特許庁審査官 (権限のある職員)

萩原 周治

4L 9835

電話番号 03-3581-1101 内線 3498

| C (続き) 関連すると認められる文献 |                                                                                 | 関連する<br>請求の範囲の番号 |
|---------------------|---------------------------------------------------------------------------------|------------------|
| 引用文献の<br>カテゴリー*     | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                               |                  |
| A                   | US 6074937 A (Advanced Micro Devices, Inc.) 2000.06.13, 全文,<br>第1-11図 (ファミリーなし) | 1-17             |
| A                   | JP 08-203842 A (ソニー株式会社) 1996.08.09, 全文, 第1-6図 &<br>US 5602045 A                | 1-17             |